

Esercizi sulle Reti Sequenziali Asincrone

Corso di Laurea di Ing. Gestionale e di Ing. delle Telecomunicazioni

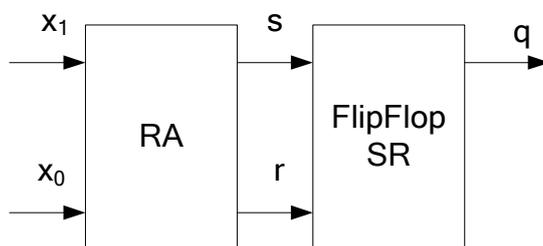
A.A. 2008-2009

1. Sintetizzare la RSA che riconosce le sequenze 0,1,0 non interallacciate.
2. Realizzare un circuito sequenziale asincrono che partendo da una situazione di stabilità con $x=0$ e $z=0$ faccia quanto segue:
$$z = \lfloor \text{sommatoria dei valori ricevuti sul piedino } x \rfloor_2$$
3. Trovare la tabella di flusso di un circuito sequenziale asincrono aventi due ingressi a e b ed una uscita z , che partendo dalle condizioni iniziali $\{a=b=0, z=0, \text{ stato interno } S_0 \text{ stabile}\}$, si comporti come segue:
 - l'uscita z va a 1 quando entrambi gli ingressi (uno dopo l'altro) sono andati a 1;
 - l'uscita z torna a 0 appena uno dei due ingressi va a 0;
 - l'uscita z torna a 1 appena uno dei due ingressi va a 0;
 - l'uscita z va a 0 quando entrambi gli ingressi (uno dopo l'altro) sono andati a 1;
 - l'uscita z torna a 1 appena uno dei due ingressi va a 0;
 - l'uscita z torna a 0 appena uno dei due ingressi va a 0;
 - torna al punto 1.
4. Realizzare un riconoscitore della 11,01,00 sequenza tramite una RSA. Implementare usando i ritardi come reti di marcatura. Implementare anche con FlipFlop SR come rete di marcatura.
5. Realizzare un riconoscitore della 01,11 sequenza tramite una RSA. Implementare usando i ritardi come reti di marcatura. Implementare anche con FlipFlop SR come rete di marcatura.
6. Realizzare un riconoscitore della sequenza 00,01,11,01 tramite una RSA. Implementare usando i ritardi come reti di marcatura.

Esercizi presenti nei testi d'esame precedenti

Esercizio 2008-01-08

Si consideri il seguente sistema



Descrivere tramite diagramma di flusso (2pt), e modello strutturale (1pt), quindi sintetizzare (4pt) la rete sequenziale asincrona RA in modo tale che la variabile q commuti ogni qual volta si presenta in ingresso al sistema lo stato $x_1x_0 = 11$. Sintetizzare le reti combinatorie in forma SP, e calcolarne il costo a porte.

NOTE

1. Si ricordi che RA è una rete sequenziale asincrona e quindi, quando riceve in ingresso $x_1x_0 = 11$, compie un passo e poi si stabilizza per tutto il tempo in cui lo stato di ingresso permane.
2. Non ci si preoccupi che il tutto risponda alle specifiche fin dall'arrivo del primo stato di ingresso $x_1x_0 = 11$ immediatamente successivo all'accensione.

Esercizio 2007-12-13

Si consideri una *rete sequenziale asincrona* dotata di due ingressi x_1 e x_0 e una uscita z , funzionante nel modo seguente: l'uscita Z , inizialmente a 0, va ad 1 quando si siano verificati un fronte di salita su x_1 ed uno su x_0 , indipendentemente dal loro ordine; Z torna a 0 quando su uno dei due ingressi si presenta un fronte in discesa.

Per tale rete, pilotata in modo *fondamentale* e *senza transizione multiple in ingresso*, si richiede di:

- 1) disegnare il diagramma di flusso (2pt);
- 2) indicare il modello strutturale a cui fare riferimento per la sintesi (1pt);
- 3) eseguire la sintesi algebrica e circuitale (3pt);
- 4) discutere il comportamento della rete in caso di transizioni multiple in ingresso (1pt).

Esercizio 2007-11-09

Si consideri una *rete sequenziale asincrona* dotata di due ingressi x_1 e x_0 e due uscita z_1 e z_0 , il cui comportamento è specificato come segue:

- se $x_1 = x_0 = 0 \rightarrow z_1 = z_0 = 0$;
- se $x_1 \neq x_0 \rightarrow z_1 = x_0$ e $z_0 = x_1$;
- se $x_1 = x_0 = 1 \rightarrow z_1 = z_0 = 1$.

Per tale rete, pilotata in modo *fondamentale* e *senza transizione multiple in ingresso*, si richiede di:

- 5) disegnare il diagramma di flusso (2pt);
- 6) indicare il modello strutturale a cui fare riferimento per la sintesi (1pt);
- 7) eseguire la sintesi algebrica e circuitale (3pt);
- 8) discutere il comportamento della rete in caso di transizioni multiple in ingresso (1pt).

Esercizio 2007-04-19

Realizzare tramite una *rete sequenziale asincrona* che riconosca le sequenze 010 interallacciate.

Si scelga la codifica degli stati in modo che questi siano adiacenti. Si chiede di:

- 1) disegnare il diagramma di stato;
- 2) disegnare il modello strutturale;
- 3) eseguire la sintesi algebrica e circuitale.

Esercizio 2006-11-02

Si consideri una *rete sequenziale asincrona* dotata di due ingressi x e $/r$ ed una uscita z , il cui comportamento è specificato come segue:

- se $/r=0$, $z=0$ indipendentemente dal valore presente sul piedino i .
- se $/r=1$, il valore di z vale 1 dopo che sul piedino i è stata riconosciuta la sequenza 1,0,1 (non interallacciata).

Per tale rete, pilotata in modo *fondamentale* e *senza transizione multiple in ingresso*, si richiede di:

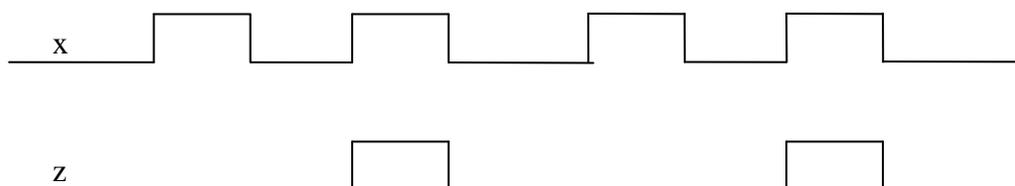
- 9) disegnare il diagramma di flusso;
- 10) indicare il modello strutturale a cui fare riferimento per la sintesi;
- 11) eseguire la sintesi algebrica e circuitale;
- 12) discutere il comportamento della rete in caso di transizioni multiple in ingresso.

Esercizio 2005-12-12 e 2007-01-12

Si consideri una Rete Sequenziale Asincrona avente un ingresso x ed una uscita z , che inizialmente è in una situazione di stabilità con $x=0$, e $z=0$. La sua evoluzione temporale è tale che:

1. $z=1$ quando sul piedino x si è presentato per due volte *distinte* il livello logico alto.
2. l'uscita z torna a "0", non appena l'ingresso x torna a livello logico basso.

Esempio:



Per tale rete:

- a) si disegni il corrispondente diagramma di flusso, e
- b) si sintetizzi il suo circuito logico.

Esercizio 2005-11-7

Realizzare un circuito *sequenziale asincrono* che partendo da una situazione di stabilità con $x=0$ e $z=0$ faccia quanto segue: sul piedino $z = \text{MSB}(\sum \text{valori ricevuti sul piedino } x|_4)$ dove l'operatore MSB restituisce il bit più significativo dell'espressione. Nota: si usi un *cortocircuito* per la sottorete sequenziale asincrona.